

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-079763

(43)Date of publication of application : 07.05.1985

(51)Int.CI.

H01L 25/04
// H01L 21/92

(21)Application number : 58-186717

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.10.1983

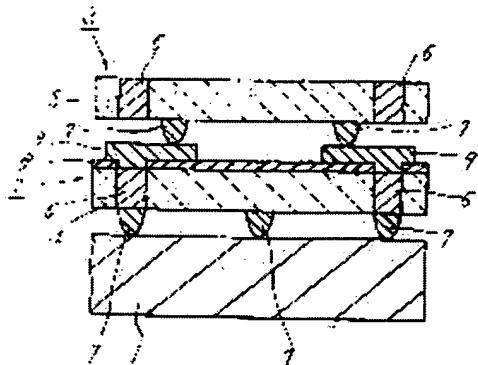
(72)Inventor : MORI KAZUTAKA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To increase the density of mounting, and to miniaturize an electronic device and accelerate its speed by forming a vertically penetrating metallic wiring, a surface electrode and a back electrode to a semiconductor base body and connecting these wiring and electrodes in three dimensions.

CONSTITUTION: A plurality of semiconductor base bodies 2 are mounted to a circuit substrate 1 constituted by a printed wiring substrate, etc. in three dimensions. The base body 2 has metallic wirings 6 penetrating the inside of a substrate 4 toward the back from the surface of the semiconductor substrate 4, surface electrodes 7 formed to the surface of the substrate 4 and back electrodes 9 shaped to the back of the substrate 4. The base body 3 is also formed similarly. The base bodies 2, 3 are superposed, and both the surface electrodes 7 for the base body 2 and wirings for the base body 1 and both the back electrodes 9 for the base body 2 and the surface electrodes 7 for the base body 3 are connected. Accordingly, the density of mounting can be miniaturized and its speed accelerated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-79763

⑬ Int.Cl.
H 01 L 25/04
// H 01 L 21/92

識別記号

厅内整理番号

7638-5F

7638-5F

⑭ 公開 昭和60年(1985)5月7日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特願 昭58-186717

⑰ 出願 昭58(1983)10月7日

⑱ 発明者 森 和孝 小平市上木本町1450番地 株式会社日立製作所デバイス開発センタ内

⑲ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代理人 弁理士 高橋 明夫 外1名

明細書

発明の名称 半導体装置

特許請求の範囲

- 上下に貫通する金属配線と表面電極と裏面電極とを有する第1の半導体基体を、該基体の表面電極により、回路基板に接続し、当該第1の半導体基体の裏面電極に、第1の半導体基体と同一の構造を有する第2の半導体基体を、第2の半導体基体の表面電極により、接続して成り、以下順次必要に応じて第1および第2の半導体基体と同一の構造を有する第3以降の半導体基体を立体的に接続して成ることを特徴とする複数の半導体基体を立体的に実装して成る半導体装置。

2. 金属配線がAの配線である、特許請求の範囲第1項記載の半導体装置。

3. 表面電極が、半田バンプである、特許請求の範囲第1項記載の半導体装置。

4. 裏面電極がAの配線である、特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体装置、さらには複数の半導体基体を立体的に実装して成る半導体装置に関し、特に回路基板に半田付接続により複数層にわたり半導体チップを半田付して成る半導体装置に関する。

〔背景技術〕

従来の半導体装置は、その半導体素子(チップ)の実装に関し、半導体パッケージ内に一つのチップを単独で実装するか、または回路基板上に直接チップを実装していたので、実装密度が低いといった欠点があった。

また半導体チップ間の配線による遅延時間も大きなものであった。

〔発明の目的〕

本発明の目的は、半導体チップを立体的に実装し、高密度化を図り、半導体装置やこれを有する電子装置の小型化、高速化を実現することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【実施例】

以下本発明の二三の実施例を図面に基づいて説明する。

第1図は回路基板上に半導体基体を2層に実装して成る半導体装置の断面図を示し、第1図にて、1は回路基板(実装基板)、2および3はそれぞれ半導体基体、4および5は半導体基板、6は当該半導体基板中を上下に(厚さ方向に)貫通する金属配線、7は表面電極、8は絶縁層、9は裏面電極を示す。

ここに使用される回路基板1は外部装置との接続に用いられ、例えばCu箔を用いたプリント配線基板により構成される。半導体基体2は、第1図に示すように、当該基体を構成する半導体基板4の表面から裏面に向って当該基板中を貫通する金属配線6と当該基板表面に形成された表面電極7と当該基板裏面に形成された裏面電極9とを有して成り、第1図では省略されているが、半導体基体3も同様に構成される。半導体基板4、5は、例えば(100)結晶を有するN型単結晶シリコン

基板により構成される。当該基板中を貫通する金属配線6の代表例にはAu配線が挙げられ、例えばシリコン基板に温度勾配を持たせて、サーモマグレーショングによりAuの配線を基板表面から裏面に貫く公知の技術により形成することができる。表面電極7は、例えば半田バンプ(突起電極Bump)により構成され、いわゆるフリップチップの際に使用される。Pb:Snベッドが代表例として挙げられる。裏面電極9は、例えばAu電極配線により構成され、このものは半導体電子の信号取り出し用端子となる。半導体基体2、3は、例えばCMOSのメモリ回路が形成された半導体チップが例示され、第2図に半田バンプ7と例えばシリコン単結晶中にAuを拡散させて形成したAu貫通配線6とを有する半導体基体2の内部主要構成を例示図示した。また第3図に当該半導体基体の要部を拡大して図示した。第3図にて、4は半導体基板、6はAu貫通配線、7は半田バンプ、8はPb:Sn(半田)層、10はAu層、11はCu層、12はCr層、13は保護膜(ガラス)。

14はAu電極配線、15は熱酸化膜を示す。

次に、第1図に示す半導体装置の製法例を第4図～第7図に従い説明する。

- (1) 先ず、第4図に示すように回路基板1上に、第1の半導体基体2をその裏面電極7を用い半田付けする。
- (2) 次に、第5図に示すように、酸化シリコンや有機材料などを絶縁材16としてバーニングする。
- (3) 第6図に示すように金属マスク17を通してAuを蒸着し、第7図に示すようにAu配線パターン18を形成し、これを第1の半導体基体2の裏面電極9とする。
- (4) この第1の半導体基体2の裏面電極9上に、第2の半導体基体3を、その表面電極7を用い、制御された半田付接続により接続し、第1図に示すような、回路基板1上に半導体基体2、3が立体的に実装された半導体装置を形成する。

上記例では、半導体基体を2層に実装する例を示したが、以下順次必要に応じて第1および第2

の半導体基体と同一構造を有する第3以降の半導体基体を同様にして実装することができ、第8図には第2の半導体基体3上に更に第3の半導体基体19を同様に立体的に実装して成る例を、また第9図には第3の半導体基体19の上に更に第4の半導体基体20を同様に立体的に実装して成る半導体装置の例を示した。

このように、半導体チップ貫通Au配線を用い、半導体チップを重積し、半田バンプで三次元に実装することにより立体的に高密度実装して成る半導体モジュールが実現できる。

〔発明の効果〕

- (1) 本発明によれば、半導体チップを立体的に実装でき、半導体チップを三次元に実装しても厚さ方向には厚みは殆ど変わらないので半導体チップの実装密度を向上することができ、高密度実装が可能となった。
- (2) 半導体チップを立体的に高密度に実装できるので、半導体電子を用いた電子装置を小形で機能の高いものにすることができた。特に電子計算機

や通信機器などに、高密度に半導体装置を実装する場合に好適な立体実装技術を実現できた。

(3) 本発明によれば半導体素子と素子間を接続する配線が高密度実装のために短絡できるので、配線による信号の遅れを小さくすることが可能で、半導体装置や電子装置を高速化、高性能化することができた。

(4) 上記から小形で高速のプロセッサやメモリシステムを作ることができた。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

〔利用分野〕

本発明はCMOS超LSIを用いたプロセッサの他半導体装置全般に適用でき、またこれら半導体装置を用いた電子部品、装置についても適用することができる。

図面の簡単な説明

図面は本発明の実施例を示し、第1図は半導体基体を2層に実装して成る半導体装置の断面図。

第2図は半導体基体の断面図。

第3図は同要部断面図。

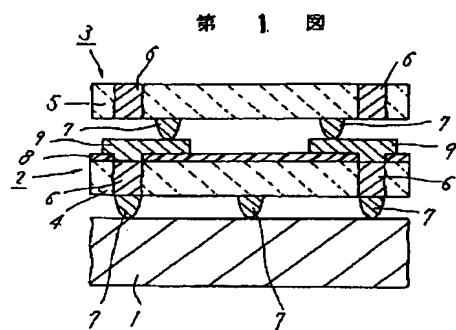
第4図～第7図は本発明装置の製造工程を説明するための断面図。

第8図は3層に実装して成る半導体装置の断面図。

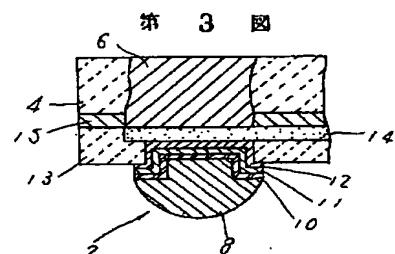
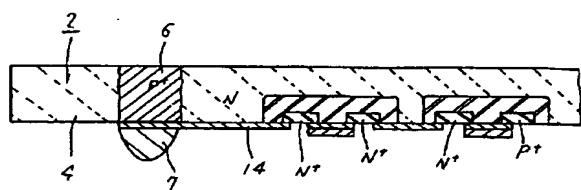
第9図は4層に実装して成る半導体装置の断面図である。

1…回路基板、2…半導体基体、3…半導体基体、4…半導体基板、5…半導体基板、6…貫通金属配線、7…表面電極、8…絶縁膜、9…裏面電極、10…Au層、11…Cu層、12…Cr層、13…保護膜(ガラス)、14…A-B電極配線、15…熱酸化膜、16…絶縁材、17…金属マスク、18…A-B配線パターン、19…第3の半導体基体、20…第4の半導体基体。

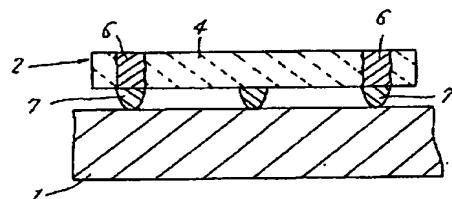
代理人弁理士 高橋明夫



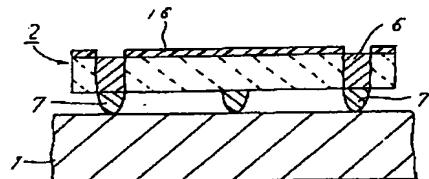
第2図



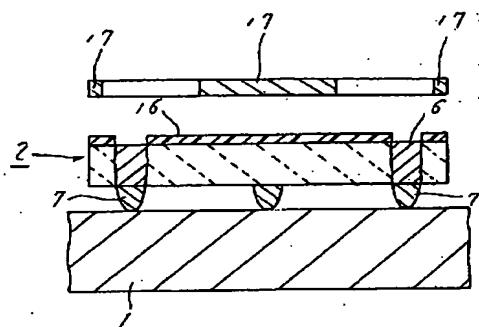
第4図



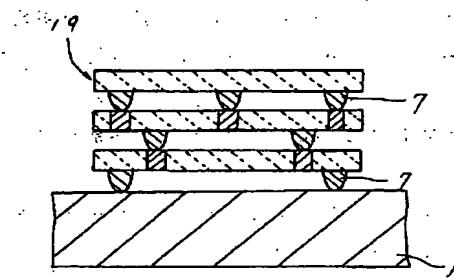
第5図



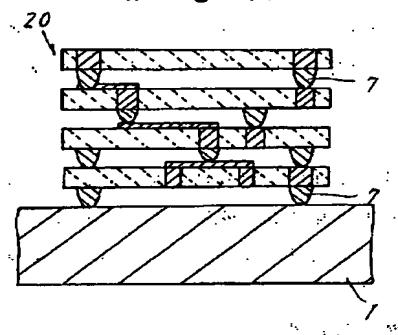
第 6 図



第 8 図



第 9 図



第 7 図

